

PAT-NO: JP404133342A
DOCUMENT-IDENTIFIER: JP 04133342 A
TITLE: SEMICONDUCTOR PACKAGE
PUBN-DATE: May 7, 1992

INVENTOR-INFORMATION:

NAME

MINAMI, KOJI

MAEDA, AKITSUGU

ISHIKAWA, MASA HARU

KANO, TAKESHI

HIGUCHI, TORU

ASSIGNEE-INFORMATION:

NAME

MATSUSHITA ELECTRIC WORKS LTD

COUNTRY

N/A

APPL-NO: JP02255850

APPL-DATE: September 25, 1990

INT-CL (IPC): H01L023/12, H01L023/50

US-CL-CURRENT: 257/697

ABSTRACT:

PURPOSE: To attach a terminal pin to a package substrate even at a part where a semiconductor mounting part has been formed by a method wherein nearly the whole surface including the semiconductor mounting part on one face of the package substrate is covered with an insulating film.

CONSTITUTION: A recessed part 14 at an insulating film 5 is fitted into a semiconductor mounting part 2 of a package substrate 1; outer-lead parts 16, 16,... protruding from the edges of the insulating film 5 are bonded to

respective pads 13, 13,... of the package substrate 1 by using solder or the like; the insulating film 5 is bonded to the surface of the package substrate 1 by using resin adhesive and can be fixed to the package substrate 1. At the recessed part 14, a semiconductor chip 7 such as an IC is mounted on the semiconductor mounting part 2; wires 11 such as gold wires are bonded between the semiconductor chip 7 and inner-lead parts 15 of connecting circuits 6, 6,... formed on the insulating film 5. Thereby, the semiconductor chip 7 is connected to the connecting circuits 6, 6,.... Consequently, the semiconductor chip 7 is connected electrically to terminal pins 4 through circuits 12 formed on the package substrate 1 via the pads 13 from the connecting circuits 6.

COPYRIGHT: (C)1992,JPO&Japio

⑫ 公開特許公報(A) 平4-133342

⑮ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)5月7日

H 01 L 23/12
23/50

P

8418-4M
7352-4M
7352-4M

H 01 L 23/12

N
P

審査請求 有 請求項の数 1 (全4頁)

⑬ 発明の名称 半導体パッケージ

⑰ 特 願 平2-255850

⑱ 出 願 平2(1990)9月25日

⑲ 発 明 者	南 浩 司	大阪府門真市大字門真1048番地	松下電工株式会社内
⑲ 発 明 者	前 田 晃 嗣	大阪府門真市大字門真1048番地	松下電工株式会社内
⑲ 発 明 者	石 川 正 治	大阪府門真市大字門真1048番地	松下電工株式会社内
⑲ 発 明 者	加 納 武 司	大阪府門真市大字門真1048番地	松下電工株式会社内
⑲ 発 明 者	樋 口 徹	大阪府門真市大字門真1048番地	松下電工株式会社内
⑲ 出 願 人	松下電工株式会社	大阪府門真市大字門真1048番地	
⑲ 代 理 人	弁理士 石田 長七	外2名	

明 細 書

本発明は、プラスチックPGA型の半導体パッケージに関するものである。

1. 発明の名称

半導体パッケージ

【従来の技術】

2. 特許請求の範囲

(1) パッケージ基板の一方の片面に半導体搭載部を形成し、この半導体搭載部も含めてパッケージ基板のほぼ全面にスルーホールを設けると共に端子ピンの基部をこのスルーホールに挿入嵌合してパッケージ基板の他方の片面に端子ピンを取り付け、パッケージ基板の上記一方の片面に半導体搭載部も含めてほぼ全面に絶縁被膜を被覆し、絶縁被膜の表面側に接続回路を形成すると共に絶縁被膜の外側端縁においてこの接続回路をパッケージ基板に接続し、絶縁被膜の表面側において半導体搭載部に突装した半導体チップを上記接続回路に接続して成ることを特徴とする半導体パッケージ。

3. 発明の詳細な説明

【産業上の利用分野】

樹脂積層板によって作製されるプリント配線板をパッケージ基板1とし、パッケージ基板1に多数本の端子ピン4、4…を取り付けて形成される半導体パッケージが提供されている。第4図はその一例を示すものであり、パッケージ基板1の中央部の片面に半導体搭載部2を設けると共にパッケージ基板1に多数のスルーホール3、3…を設け、パッケージ基板1の他方の片面に突出するようにスルーホール3、3…に端子ピン4、4…の基部を嵌合して取り付けである。またパッケージ基板1の表面には放射状に多数本の回路(図示省略)が形成してあり、各回路はそれぞれ各端子ピン4に接続してある。そして半導体搭載部2にIC等の半導体チップ7を搭載すると共に半導体チップ7と上記回路との間に金線等のワイヤー11をボンディングすることによって、回路を介して半導体チップ7を各端子ピン4、4…に接続する

ことができる。

【発明が解決しようとする課題】

しかし上記のように作成される半導体パッケージにあって、端子ピン 4 は半導体搭載部 2 を形成した箇所においてはパッケージ基板 1 に取り付けることができない。すなわち、半導体搭載部 2 を形成した部分にスルーホール 3 を設けて端子ピン 4 を取り付けると、この端子ピン 4 と半導体搭載部 2 に搭載した半導体チップ 7 との間の絶縁が確保できなくなるために、この部分に端子ピン 4 を取り付けることができないのである。そしてこのように半導体搭載部 2 を形成した箇所において端子ピン 4 を取り付けることができないために、パッケージ基板 1 に取り付けることのできる端子ピン 4 の本数には自ずと制約があり、半導体の高密度化に伴う I/O の増加に対応することが難しいという問題があった。

本発明は上記の点に鑑みて為されたものであり、半導体搭載部を形成した箇所においてもパッケージ基板に端子ピンを取り付けることができ、半

導体搭載部 2 も含めてほぼ全面に絶縁被膜 5 を被覆するようにしているために、この絶縁被膜 5 によって端子ピン 4 と半導体チップ 7 との絶縁を確保することができ、半導体搭載部 2 を形成した箇所においてもパッケージ基板 1 に端子ピン 4 を取り付けることが可能になる。

【実施例】

以下本発明を実施例によって詳述する。

第 1 図乃至第 3 図は本発明の一実施例を示すものであって、パッケージ基板 1 はプリント配線板 1 を用いて作成されるものであり、その外層や内層に金属等の導体による回路 1 2、1 2…が形成してある。またパッケージ基板 1 の上面には半導体搭載部 2 がキャビティとして凹設して形成してある。このパッケージ基板 1 には半導体搭載部 2 も含めて全面に亘ってスルーホール 3、3…が上下に貫通して穿設してある。スルーホール 3 の内周にはスルーホールメッキ（図示省略）を施して回路 1 2 と導通接続するようにしてある。さらにパッケージ基板 1 の上面の外周端部にはその端縁

導体の高密度化に容易に対応することができる半導体パッケージを提供することを目的とするものである。

【課題を解決するための手段】

本発明に係る半導体パッケージは、パッケージ基板 1 の一方の片面に半導体搭載部 2 を形成し、この半導体搭載部 2 も含めてパッケージ基板 1 のほぼ全面にスルーホール 3、3…を設けると共に端子ピン 4 の基部をこのスルーホール 3 に挿入嵌合してパッケージ基板 1 の他方の片面に端子ピン 4、4…を取り付け、パッケージ基板 1 の上記一方の片面に半導体搭載部 2 も含めてほぼ全面に絶縁被膜 5 を被覆し、絶縁被膜 5 の表面側に接続回路 6 を形成すると共に絶縁被膜 5 の外側端縁においてこの接続回路 6 をパッケージ基板 1 に接続し、絶縁被膜 5 の表面側において半導体搭載部 2 に実装した半導体チップ 7 を上記接続回路 6 に接続して成ることを特徴とするものである。

【作 用】

本発明にあっては、パッケージ基板 1 の片面に

に沿って多数の接続パッド 1 3、1 3…が設けてあり、各接続パッド 1 3 に回路 1 2 が導通接続してある。上記スルーホール 3、3…に端子ピン 4、4…の基部を挿入嵌合して半田接合等を行うことによって、パッケージ基板 1 の下面から突出するように多数本の端子ピン 4、4…が取り付けられている。この各端子ピン 4 はスルーホール 3 において回路 1 2 を介してパッド 1 3 に導通接続されている。

第 3 図において 5 はポリイミドフィルム等の樹脂フィルムで作成された絶縁被膜であり、外形をパッケージ基板 1 の外形よりやや小さ目に形成すると共に、その中央部においてパッケージ基板 1 の半導体搭載部 2 の大きさと深さにほぼ等しい凹部 1 4 が凹曲して設けてある。この絶縁被膜 5 の上面側には多数本の金属等の導体による接続回路 6、6…が放射状に設けてあり、各接続回路 6 の内側の端部はインナーリード部 1 5 として凹部 1 4 の周縁部に位置させると共に各接続回路 6 の外側の端部はアウターリード部 1 6 として絶縁被膜

5の外側端縁から外方へ突出させてある。このように絶縁被膜5に接続回路6、6…を一体に設けることによって、TAB (Tape Automated Bonding) と同じように使用することができる。

すなわち上記のように形成される絶縁被膜5は、その凹部14をパッケージ基板1の半導体搭載部2内にはめ込むと共に、絶縁被膜5の外側端縁から突出させた各アウターリード部16、16…をパッケージ基板1の各パッド13、13…に半田等で接合して、第1図に示すようにパッケージ基板1の上面に樹脂系等の接着剤で絶縁被膜5を接着することによって、パッケージ基板1に固定することができる。そして第2図に示すように、凹部14において半導体搭載部2にIC等の半導体チップ7を搭載し、半導体チップ7と絶縁被膜5に設けた各接続回路6、6…のインナーリード部15との間に金線などのワイヤー11をボンディングすることによって半導体チップ7と接続回路6、6…とを接続する。従って、半導体チップ7は接続回路6からパッド13を経てパッケージ

基板1に設けた回路12を通して端子ピン4に電氣的に接続されるものである。

【発明の効果】

上述のように本発明にあつては、パッケージ基板の片面に半導体搭載部も含めてほぼ全面に絶縁被膜を被覆し、絶縁被膜の表面側に接続回路を形成すると共に絶縁被膜の外側端縁においてこの接続回路をパッケージ基板に接続し、絶縁被膜の表面側において半導体搭載部に実装した半導体チップを上記接続回路に接続するようにしたので、絶縁被膜によって半導体搭載部の箇所に取り付け端子ピンと半導体搭載部に搭載する半導体チップとの絶縁を確保することができ、半導体搭載部を形成した箇所においてもパッケージ基板に端子ピンを取り付けることができるものであり、端子ピンの本数の設計の自由度が増して半導体の高密度化に容易に対応することが可能になるものである。

4. 図面の簡単な説明

第1図は本発明の一実施例の断面図、第2図は

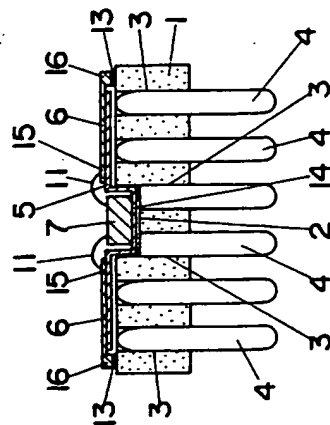
同上の一部の拡大した断面図、第3図は同上の分解斜視図、第4図は従来例の断面図である。

1はパッケージ基板、2は半導体搭載部、3はスルーホール、4は端子ピン、5は絶縁被膜、6は接続回路、7は半導体チップである。

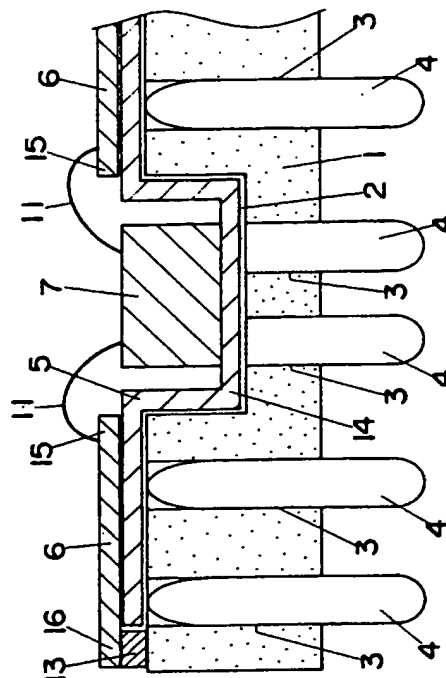
代理人 弁理士 石田長七

- 1...パッケージ基板
2...半導体搭載部
3...スルーホール
4...端子ピン
5...絶縁被膜
6...接続回路
7...半導体チップ

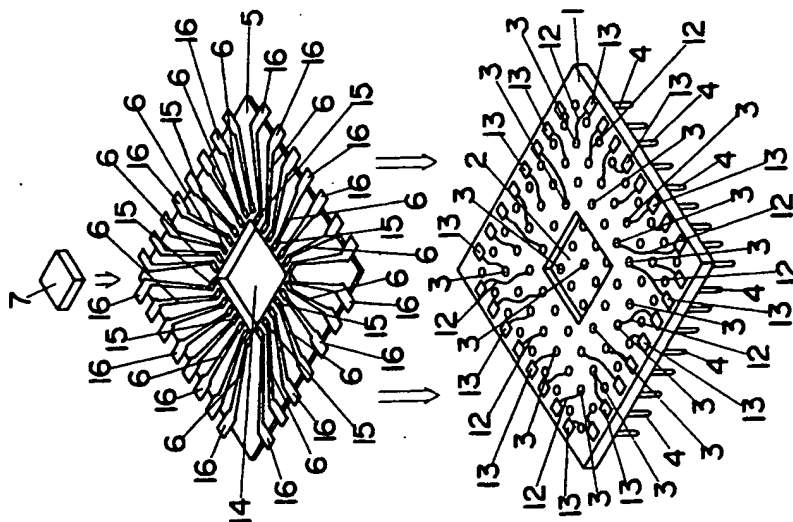
第 1 図



第 2 図



第 3 図



第 4 図

